

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-174486

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 2 F 1/1345

G 0 2 F 1/1345

G 0 9 F 9/00

3 4 8

G 0 9 F 9/00

3 4 8 B

// G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-345997

(22) 出願日

平成9年(1997)12月16日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

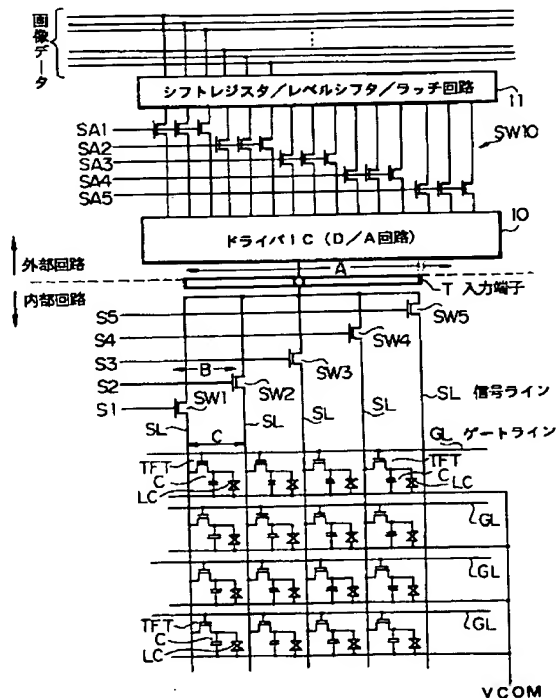
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 外部回路との接続を行う接続端子の占める長さを短くして液晶表示装置の小型化を図ること。

【解決手段】 本発明の液晶表示装置は、所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換える第2スイッチ回路SW1～SW5と、第2スイッチ回路SW1～SW5へ信号を与えるドライバIC10の出力線と第2スイッチ回路SW1～SW5への入力線とを接続するため、画像表示領域における各組のピッチ以下のピッチで設けられた複数の入力端子Tとを備えている。



## 【特許請求の範囲】

【請求項 1】 所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、  
前記画像表示領域の各画素へ信号を送る外部回路との接続を行うため、前記画像表示領域の複数の画素におけるピッチ以下のピッチで設けられた複数の接続端子とを備えていることを特徴とする液晶表示装置。

【請求項 2】 所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、  
前記画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換えるスイッチ回路と、  
前記スイッチ回路へ信号を与える外部回路との接続を行うため、前記画像表示領域における各組のピッチ以下のピッチで設けられた複数の接続端子とを備えていることを特徴とする液晶表示装置。

【請求項 3】 前記スイッチ回路における各画素に対応した各スイッチ素子のピッチは、前記各画素のピッチ以下になっていることを特徴とする請求項 2 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マトリクス状に配列された複数の画素にドライバ回路から信号を与えて画像の表示を行う液晶表示装置に関する。

## 【0002】

【従来の技術】液晶表示装置は、例えば各画素に対応した TFT (Thin Film Transistor) が形成された駆動側基板と、カラーフィルタ等が形成された対向側基板との間に液晶を封入したものを備えており、TFT を駆動することによって画素に対応した液晶の配向を切り換えて所望の画像表示を行っている。

【0003】図 5 は従来の液晶表示装置を説明する回路図 (その 1) である。この液晶表示装置では、ドライバ IC 10 から図中縦方向に出力される複数本の信号ライン SL と図中横方向に配線される複数本のゲートライン GL とを備えており、各信号ライン SL と各ゲートライン GL とが交差する位置に各画素が設けられている。また、各画素には、液晶 LC を駆動するための TFT とコンデンサ C とが設けられている。

【0004】このゲートライン GL が ON となると、ゲートライン GL に接続された TFT が ON になる。この状態でドライバ IC 10 から信号ラインを介して画像に対応した信号が与えられることで ON になった TFT を介してその信号がコンデンサ C に充電される。

【0005】これによって、信号が与えられた画素の液晶 LC の透過率が変化するとともに、コンデンサ C の充電電圧によって光の透過状態を次に TFT が ON になるまで維持できるようになっている。

【0006】また、図 6 は従来の液晶表示装置を説明す

る回路図 (その 2) である。この液晶表示装置は多階調表示を行うもので、複数画素の組に対応した出力線を備えるドライバ IC 10 と、このドライバ IC 10 の出力線に対応する組の各画素の信号ライン SL に時分割で切り換えるスイッチ回路 SW 1 ~ SW 5 とを備えている。

【0007】例えば、3 本単位のデジタル画像データから各々 8 ビットの信号がドライバ IC 10 に入力され、このドライバ IC 10 からは 8 ビットの信号に対応したアナログ信号が順に出力される。

【0008】スイッチ回路 SW 1 ~ SW 5 では、このドライバ IC 10 から順に出力されるアナログ信号を時分割で切り換えて対応する画素の信号ライン SL へ送るようにしている。これによって、各画素 8 階調の画像表示を行うことができるようになっている。

## 【0009】

【発明が解決しようとする課題】しかしながら、いずれの液晶表示装置においても、ドライバ IC と基板に形成された画素へのゲートラインとの接続を行う端子のピッチを規定しておらず、その端子を用いた TAB (Tape Automated Bonding) の接続範囲に無駄が生じている。つまり、画像表示を行う領域よりも接続範囲の方が広く、画像表示領域の周辺に多くの余白 (いわゆる額縁領域) が存在することになる。これによって液晶表示装置の小型化を妨げたり、製造歩留りの低下を招いている。

## 【0010】

【課題を解決するための手段】本発明はこのような課題を解決するために成された液晶表示装置である。すなわち、本発明は、所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、画像表示領域の各画素へ信号を送る外部回路との接続を行うため、画像表示領域の複数の画素におけるピッチ以下のピッチで設けられた複数の接続端子とを備えている。

【0011】また、所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換えるスイッチ回路と、このスイッチ回路へ信号を与える外部回路との接続を行うため、画像表示領域における各組のピッチ以下のピッチで設けられた複数の接続端子とを備える液晶表示装置でもある。

【0012】このような本発明では、複数の接続端子のピッチが、画像表示領域の複数の画素におけるピッチ以下または画像表示領域の複数画素から構成される複数の組のピッチ以下になっていることから、複数の接続端子における全体の長さを画像表示領域の全体の長さ以下にすることができ、画像表示領域の周辺領域を小さくすることができるようになる。

## 【0013】

【発明の実施の形態】以下に、本発明の液晶表示装置における実施の形態を図に基づいて説明する。図 1 は本実

施形態の液晶表示装置を説明する回路図である。すなわち、この液晶表示装置は、デジタル画像データをシフトレジスタ／レベルシフタ／ラッチ回路 1 1 および第 1 スイッチ回路 SW 1 0 を介して受けてアナログデータに変換するドライバ IC (D/A 回路) 1 0 と、ドライバ IC 1 0 の出力線の 1 本に対して複数の信号ライン SL に対応した入力端子 T と、複数の信号ライン SL に各々設けられた第 2 スイッチ回路 SW 1 ~ SW 5 と、マトリクス状に配置された画素の液晶 LC を駆動する TFT およびコンデンサ C とを備えている。

【0014】特に、本実施形態の液晶表示装置では、外部回路であるドライバ IC 1 0 の出力線と内部回路である第 2 スイッチ回路 SW 1 ~ SW 5 への入力線とを接続する入力端子 T のピッチ A を、画素のピッチ C や複数画素から成る組のピッチに基づいて規定することで、全ての入力端子 T の占める長さ (図中横方向の長さ。以下説明において同様) を画像表示領域の全体の長さ以下にしている点に特徴がある。

【0015】図 2 は本実施形態で適用される TFT の構造を説明する断面図であり、(a) は逆スタガ型、

(b) はスタガ型を示している。すなわち、(a) に示す逆スタガ型では、ガラス等の基板 1 0 0 の上にゲート電極 1 0 1 が形成され、その上にゲート絶縁膜 1 0 2 を介してポリシリコン P-Si が形成されている。なお、ポリシリコン P-Si の代わりにアモルファスシリコンを形成してもよい。

【0016】また、このポリシリコン P-Si のゲート電極 1 0 1 と対応する部分の両側には N<sup>-</sup> 領域から成るソース領域およびドレイン領域が形成されている。そのうちのソース領域にはソース電極 SD が接続され、ドレイン領域にはドレイン電極 DD が接続されている。

【0017】(b) に示すスタガ型では、ガラス等の基板 1 0 0 の上にポリシリコン P-Si が形成され、その上にゲート絶縁膜 1 0 2 を介してゲート電極 1 0 1 が形成されている。また、このポリシリコン P-Si のゲート電極 1 0 1 と対応する部分の両側に N<sup>-</sup> 領域から成るソース領域およびドレイン領域が形成され、そのうちのソース領域にはソース電極 SD が接続され、ドレイン領域にはドレイン電極 DD が接続されている。

【0018】いずれの TFT であっても、そのゲート電極 1 0 1 が図 1 に示すゲートライン GL に接続され、このゲートライン GL に電圧が印加されることによって TFT が ON 状態となる。また、ソース電極 SD は図 1 に示す信号ライン SL に接続され、ドレイン電極 DD は対向電極電位 VCOM に接続されている。

【0019】すなわち、ゲートライン GL に電圧が印加された状態で信号ライン SL に信号が与えられると、TFT のソース電極 SD からドレイン電極 DD へ電流が流れ、図 1 に示す液晶 LC の光の透過状態を変えることができるようになる。

【0020】なお、第 2 スイッチ回路 SW 1 ~ SW 5 も上記と同様な TFT によって構成されている。

【0021】次に、入力端子 T のピッチ A と、第 2 スイッチ回路 SW 1 ~ SW 5 のピッチ B と、画素のピッチ C との関係について説明する。図 3 は入力端子のピッチ、第 2 スイッチ回路のピッチ、画素のピッチの関係を説明する模式図である。なお、この図では、1 つの入力端子に 4 つの第 2 スイッチ回路が接続されている例を示している。

10 【0022】入力端子 T 1 の出力線は 4 本の信号ラインに接続され、各信号ラインには第 2 スイッチ SW 1 1 ~ SW 1 4 が各々設けられている。また、入力端子 T 2 の出力線は 4 本の信号ラインに接続され、各信号ラインには第 2 スイッチ SW 2 1 ~ SW 2 4 が各々設けられている。

【0023】第 2 スイッチ回路 SW 1 1 ~ SW 1 4、SW 2 1 ~ SW 2 4 は時分割で切り換えが行われ、入力端子 T 1、T 2 から出力される信号を順に対応する画素へ与えるようになっている。この例では、4 分割周期で切り換えが行われる。

20 【0024】このような構成の液晶表示装置において、本実施形態ではその入力端子 T 1、T 2 のピッチ A と画素のピッチ C との関係として、以下の (1) 式を満たすようにしている。

$$【0025】A/n \leq C \quad \dots (1)$$

ここで、n は時分割数である。

【0026】つまり、上記の例では、時分割数が 4 であるから、ピッチ A の 1/4 がピッチ C 以下となるようにする。

30 【0027】これによって、全ての入力端子の占める長さを全ての画素の占める長さ (すなわち、有効画像領域の長さ) 以下にすることが可能となる。

【0028】また、本実施形態では入力端子 T 1、T 2 のピッチ A と第 2 スイッチ回路 SW 1 1 ~ SW 1 4 のピッチ B との関係として、以下の (2) 式を満たすようにしている。

$$【0029】A/n \leq B \quad \dots (2)$$

ここで、n は時分割数である。

【0030】つまり、上記の例では、時分割数が 4 であるから、ピッチ A の 1/4 がピッチ B 以下となるようにする。

【0031】これによって、全ての入力端子の占める長さを全ての第 2 スイッチ回路の占める長さ以下にすることが可能となる。

【0032】さらに、本実施形態では第 2 スイッチ回路 SW 1 1 ~ SW 1 4 のピッチ B と画素のピッチ C との関係として、以下の (3) 式を満たすようにしている。

$$【0033】B \leq C \quad \dots (3)$$

50 【0034】すなわち、第 2 スイッチ回路 SW 1 1 ~ SW 1 4 のピッチ B を画素のピッチ C 以下にすることで、

全ての第2スイッチ回路の占める長さを全ての画素の占める長さ（すなわち、有効画像領域の長さ）以下にすることが可能となる。

【0035】また、図3に示す例では、入力端子1本に対して4本の信号ラインが接続され、これを時分割で切り換えて対応する画素へ信号を与えるものについて説明したが、入力端子1本に対して1本の信号ラインが接続されているものの場合は、その入力端子のピッチを画素のピッチ以下にするようにする。これによって上記と同様、全ての入力端子の占める長さを全ての画素の占める長さ（すなわち、有効画像領域の長さ）以下にすることが可能となる。

【0036】図4は液晶表示装置の平面視面積を説明する図で、(a)が従来の液晶表示装置、(b)が本実施形態の液晶表示装置の例である。

【0037】すなわち、(a)に示す従来の液晶表示装置では、複数のドライバIC10a～10dをフレキシブル配線Fによって基板100の接続領域TSに接続しているが、上記説明したような画素ピッチと接続領域TSでの入力端子ピッチとの関係が規定されていないことから、有効画像領域Sの長さより接続領域TSの長さの方が長くなっている。

【0038】一方、(b)に示す本実施形態の液晶表示装置でも、従来と同様に複数のドライバIC10a～10dをフレキシブル配線Fによって基板100の接続領域TSに接続しているが、上記説明のような画素ピッチと接続領域TSでの入力端子ピッチとの関係を規定していることで、接続領域TSの長さと有効画像領域Sの長さとを等しく（または、短く）できるようになっている。

【0039】本実施形態では、このように従来に比べて接続領域TSの長さを短くできることから、有効画像領域Sの周辺に形成される余白領域（いわゆる額縁領域）

を大幅に縮小することができ、液晶表示装置の平面視面積を小さくすることが可能となる。

#### 【0040】

【発明の効果】以上説明したように、本発明の液晶表示装置によれば次のような効果がある。すなわち、外部回路との接続を行う複数の接続端子のピッチを画素のピッチ以下または複数画素から構成される複数の組のピッチ以下にすることで、複数の接続端子における全体の長さを画像表示領域の全体の長さ以下にすることができ、画像表示領域の周辺領域を小さくすることが可能となる。これにより、画像表示領域の周辺における無駄な部分を小さくでき、液晶表示装置全体の小型化を図ることが可能となる。

【0041】また、液晶表示装置全体の小型化を図ることができることから、同じ面積の基板から数多くの液晶表示装置用パネルを製造することができ、液晶表示装置の製造歩留りを向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本実施形態の液晶表示装置を説明する回路図である。

【図2】本実施形態で適用されるTFTの構造を説明する断面図である。

【図3】各ピッチの関係を説明する模式図である。

【図4】液晶表示装置の平面視面積を説明する図である。

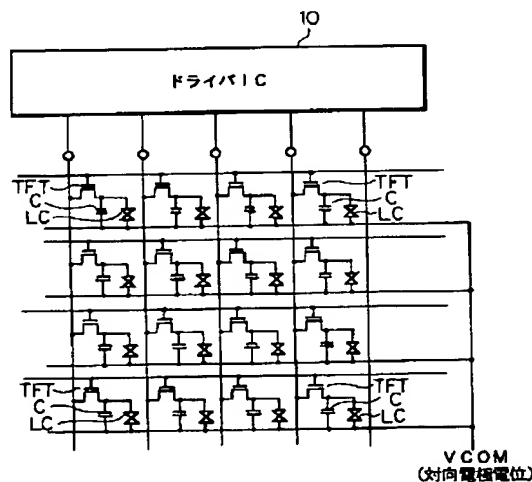
【図5】従来の液晶表示装置を説明する回路図（その1）である。

【図6】従来の液晶表示装置を説明する回路図（その2）である。

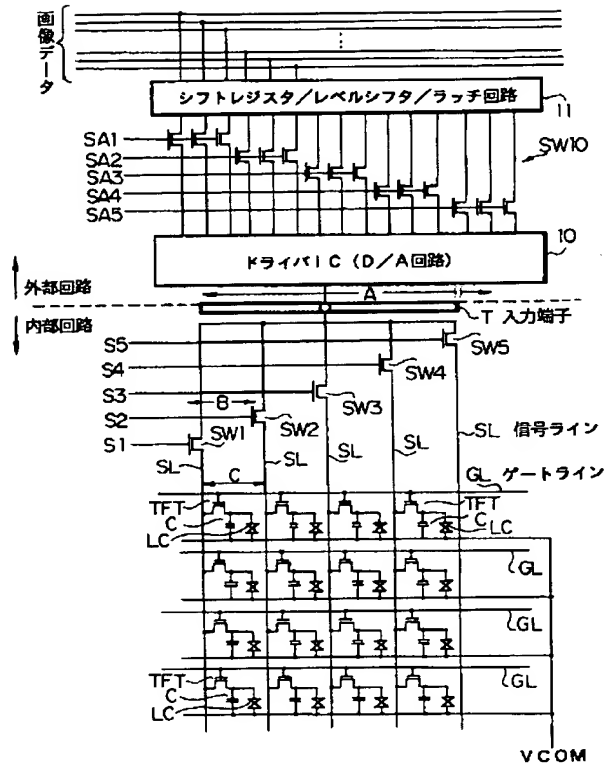
#### 【符号の説明】

10…ドライバIC、T…入力端子、GL…ゲートライン、SL…信号ライン、SW1～SW5…第2スイッチ回路

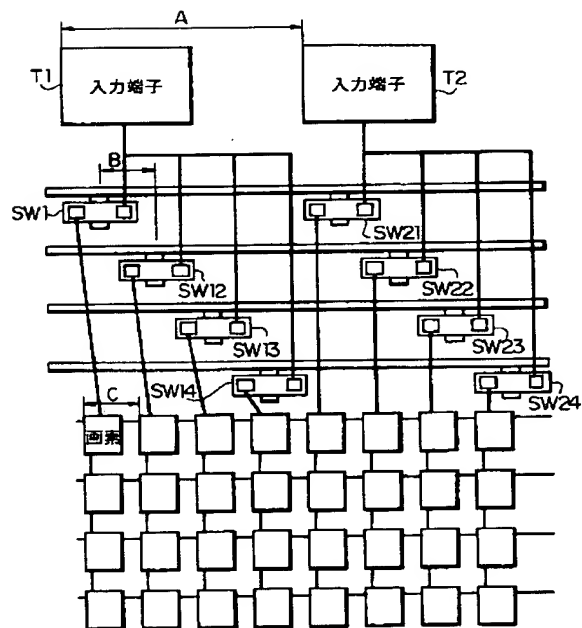
【図5】



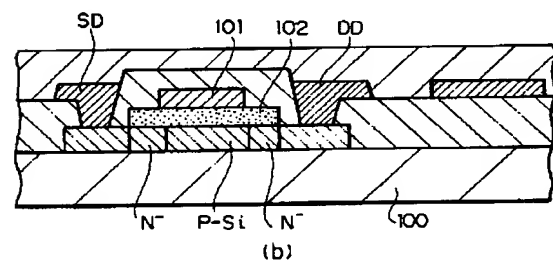
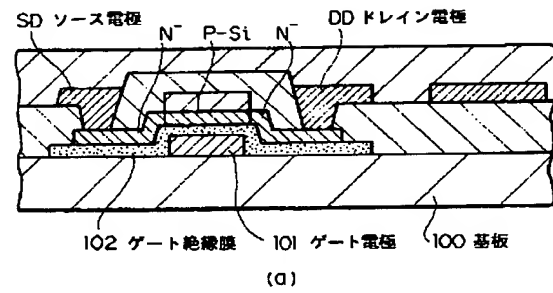
【図 1】



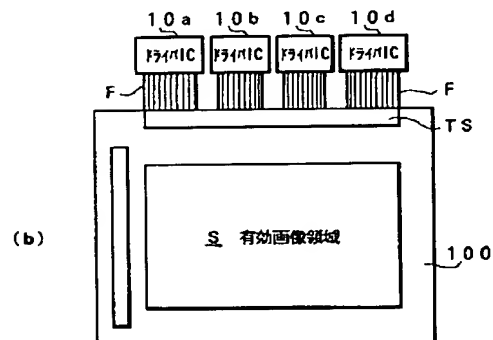
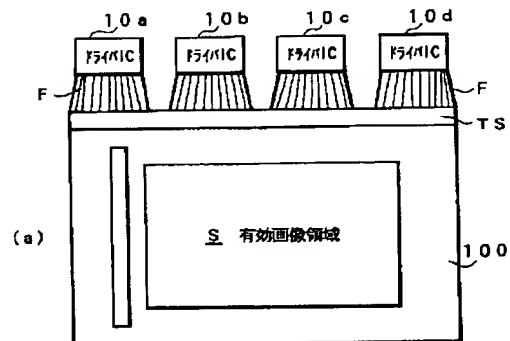
【図 3】



【図 2】



【図 4】



【図 6】

